

# XXV Trobades Científiques de la Mediterrània La microelectrònica, vint anys després

Francesc Serra Mestres

Universitat Autònoma de Barcelona, Centre Nacional de Microelectrònica (IMB-CNM,CSIC), 08193 Bellaterra

francesc.serra.mestres@uab.cat

L'any 1989, ara fa vint anys, es van fer a Menorca les Trobades Científiques de la Mediterrània dedicades a la microelectrònica (Herms, 1991) (figura 1). En aquest article volem exposar, encara que sigui de manera succinta, l'extraordinària i ràpida evolució que ha tingut aquesta disciplina en els darrers vint anys.



Figura 1: Portada del recull de comunicacions de les Trobades Científiques de la Mediterrània de l'any 1989

## 1 Antecedents

Es pot considerar, de manera convencional, que la microelectrònica neix amb la invenció del transistor (Ross, 1998) (figura 2) per part dels investigadors dels Bell Laboratories (EUA), W. Shockley, J. Bardeen i W. Brattain l'any

1947 (Bardeen i Brattain, 1998). Aquest dispositiu basat en les propietats de conducció elèctrica dels semiconductors (Ge, Si, etc.), anomenat a l'època d'estat sòlid, volia substituir els tubs de buit o «làmpades» com a dispositiu actiu en els circuits electrònics que s'havien desenvolupat durant la primera meitat del segle XX i aplicat, sobretot, als receptors de ràdio, gravació i reproducció d'àudio, etc. En el decurs de la dècada dels cinquanta, els avantatges del transistors enfront dels tubs de buit es van posar de manifest: petitesa (tant en volum com en pes), baix consum d'energia, etc. Es van utilitzar en els receptors de ràdio (els mal anomenats *transistors*) i van inaugurar l'era dels equips de gran consum portàtils. Van fer possibles els satèl·lits artificials i els ordinadors digitals de primera generació (IBM 7090, Control Data 1604, etc.), que podien fer 200.000 operacions per segon, etc.

La tecnologia de fabricació d'aquests primers transistors no permetia obtenir unes característiques elèctriques gaire estables ni reproduïbles. L'any 1957, vuit investigadors, entre els quals hi havia Robert Noyce, Gordon Moore i Jack Hoerni, van convèncer Sherman Fairchild per fundar la companyia Fairchild Semiconductors (EUA) (Moore, 1998) amb l'objectiu de fabricar transistors de silici. Aquell mateix any, J. Hoerni va posar a punt l'anomenada *tècnica planar*, que permetia la fabricació simultània d'un gran nombre de transistors en una oblia de silici d'uns quants centímetres de diàmetre i de menys d'un mil·límetre de gruix (figura 3). Sobre aquesta oblia es feien créixer o es dipositaven diferents capes de diversos materials que es gravaven mitjançant tècniques de fotolitografia. Així, es podien introduir a l'interior de la superfície de l'oblia de silici el tipus d'impureses (P, B, Al, etc.) que conformaven de manera precisa les zones de conducció N i P, que constitueixen un transistor bipolar, amb característiques molt estables i reproduïbles. Un cop acabat tot el procés, l'oblia se serrava en petits daus (xips). Cada xip contenia un transistor que s'encapsulava adequadament per poder ser soldat a una targeta

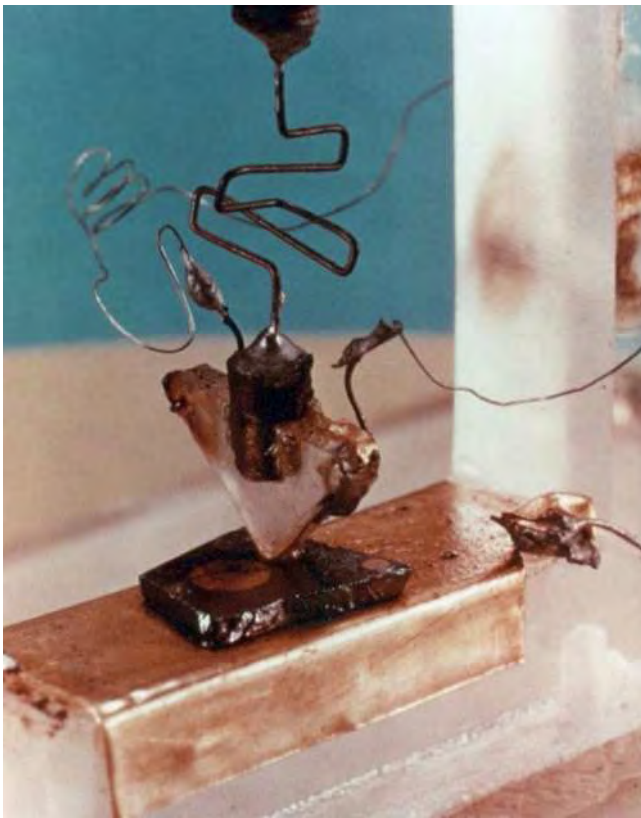


Figura 2: Primer transistor inventat per W. Shockley, J. Bardeen i W. Brattain dels Bell Laboratories (1947)

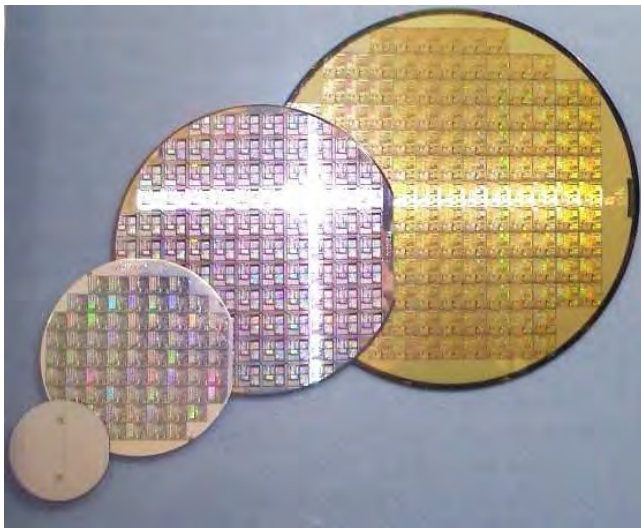


Figura 3: Oblies de silici de diferents diàmetres amb xips

de circuit imprès. La tècnica planar ha estat el bressol de totes les tecnologies microelectròniques i moltes de les nanoelectròniques actuals. L'empresa Fairchild va ser una de les llavors del fenomen de desenvolupament industrial a Califòrnia (EUA), que es va anomenar Silicon Valley. L'any 1958, Jack Kilby (Millis, 2008), de l'empresa Texas

Instruments (EUA), i Robert Noyce (Berlin, 2006), de l'empresa Fairchild Semiconductors, van inventar el circuit integrat (figura 4) en un xip o, abreujadament, el xip (Reid, 2001). Kilby va demostrar que es podia construir un circuit electrònic on el material de tots els dispositius fos un semiconductor (Ge). Noyce va integrar, mitjançant la tècnica planar, tots els dispositius dintre d'un xip (en lloc d'un sol transistor), connectant-los per mitjà de pistes d'alumini que discorrien per sobre la capa d'òxid de silici ( $\text{SiO}_2$ ) que s'utilitzava com a barrera per a la difusió d'impureses. La dècada dels seixanta va veure la disseminació dels xips com els elements constituents dels equips electrònics. Els amplificadors operacionals integrats en un xip (p. ex. el  $\mu\text{A}741$ ) van ser els elements bàsics del disseny dels sistemes electrònics analògics. L'aparició de les primeres famílies lògiques digitals (p. ex. la TTL) va encetar el tractament digital de la informació.



Figura 4: Primer circuit amb tots els dispositius de germani; Jack Kilby; Robert Noyce; Primer circuit integrat en un xip

L'any 1968, Robert Noyce i Gordon Moore, investigadors de la companyia Fairchild Semiconductors, juntament amb Andy Grove, funden la companyia Intel (Wikipedia: Intel Corporation) per fabricar xips utilitzant transistors MOS (*metal-oxide-semiconductor*) (figura 5) (Arns, 1998) en lloc de transistors bipolars. Els transistors MOS, base de la gran majoria dels circuits integrats actuals, es basen en una estructura capacitativa per modular la concentració de portadors majoritaris en un semiconductor. Un dels avantatges del transistor MOS enfront del transistor bipolar és que té un volum i un consum d'energia menor per dur a terme algunes funcions electròniques, sobretot de tipus digital. Aquest fet va propiciar l'extensió del tractament digital de la informació, que va culminar amb la invenció del microprocessador i la utilització en massa de les memòries semiconductores. En aquesta línia, l'empresa Intel en va ser pionera: l'any 1971 va fabricar el primer microprocessador (Noyce i Hoff, 1981), el 4004 (figura 6), en un xip de  $3,6 \times 2,8$  mm amb tecnologia PMOS de  $10 \mu\text{m}$  que contenia 2.300 transistors. Al mateix temps va començar a fabricar en massa una memòria DRAM d'1kb.

A partir dels anys setanta va començar la cursa tecnològica per augmentar la capacitat d'emmagatzematge de les memòries semiconductores i, sobretot, per augmen-



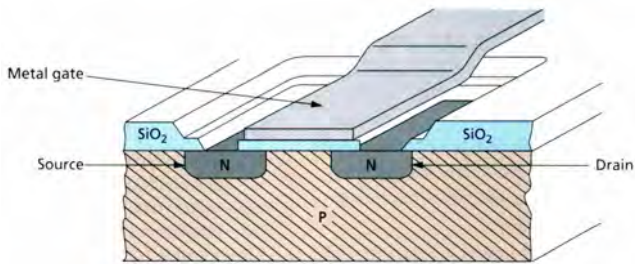


Figura 5: Esquema d'un transistor MOS primitiu

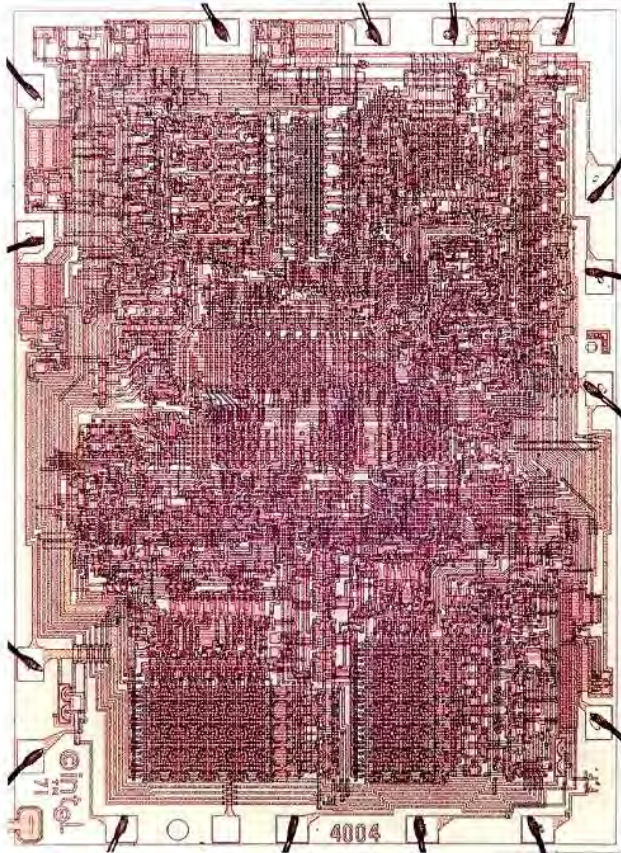


Figura 6: Fotografia del xip que contenia el microprocessador 4004

tar la potència lògica de processament dels microprocessadors. Aquesta última premissa passava per incrementar la velocitat de commutació o el nombre de transistors que el xip podia contenir. Com veurem, les dues coses van anar de bracet. Bàsicament hi ha tres factors que fan possible augmentar la complexitat d'un xip, o sigui, el nombre de transistors que hi podem encabir. El primer és disminuir el nombre de components per dur a terme una determinada funció. Un exemple paradigmàtic d'aquest factor és la invenció de la cel·la d'emmagatzematge d'1 bit d'una DRAM amb un sol transistor, feta per D. H. Dennard d'IBM el 1967 (Dennard, 1984), en lloc dels tres que s'utilitzaven. Com a anècdota, podem dir que aques-

ta cel·la és l'objecte més nombrós fabricat mai per l'home. Se n'han fet més de  $10^{20}$  unitats, que equivalen al nombre de neurones de  $10^9$  cervells humans. El segon factor és augmentar la superfície del xip. Però aquest augment està limitat pel rendiment de fabricació del xip. Hi ha una relació estreta entre aquest rendiment, la grandària de la superfície del xip i el nombre de defectes que acumula l'oblia en el procés de fabricació deguts a diversos motius (partícules de l'aire que cauen sobre l'oblia, impureses dels materials utilitzats, etc.). En la figura 7 es pot veure com augmenta el nombre de xips útils (xips sense cap impuresa) a mesura que disminueix la seva grandària, per una distribució d'impureses fixa. Per tant, si es disminueix la densitat d'impureses acumulades per l'oblia en el procés de fabricació, es podrà augmentar la grandària dels xips i es mantindran uns rendiments de producció raonables (figura 8). Per obtenir aquesta disminució d'impureses, es va anar imposant en el decurs dels anys setanta la utilització, en el procés de fabricació, de les sales blanques, on es controlen molt estrictament la qualitat de l'aire, la puresa dels materials emprats en la fabricació, etc. En la figura 8 es pot veure l'augment de la grandària del xip en el decurs dels primers anys d'utilitzar sales blanques.

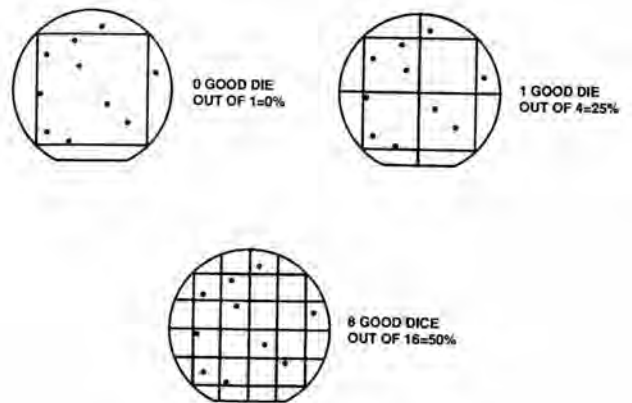


Figura 7: Relació entre la grandària del xip i el rendiment de fabricació, per una distribució d'impureses en l'oblia donada (punts)

El tercer factor per augmentar la complexitat dels xips és, evidentment, disminuir la grandària dels transistors. El 1972, R. H. Dennard (Dennard et al., 1974) va establir les regles per disminuir la grandària d'un transistor optimitzat sense que se'n degradessin les característiques (teoria de l'escalatge). En la seva formulació bàsica (camp elèctric constant) totes les dimensions lineals i els potencials elèctrics es divideixen per un factor  $\alpha > 1$  i les concentracions de les impureses del semiconductor es multipliquen per  $\alpha > 1$ . Les característiques del transistor escalat canvien de la manera següent: la densitat de potència elèctrica no canvia, la superfície del transistor i la de les interconnexions disminueix en un factor  $\alpha^2$ , el retard de

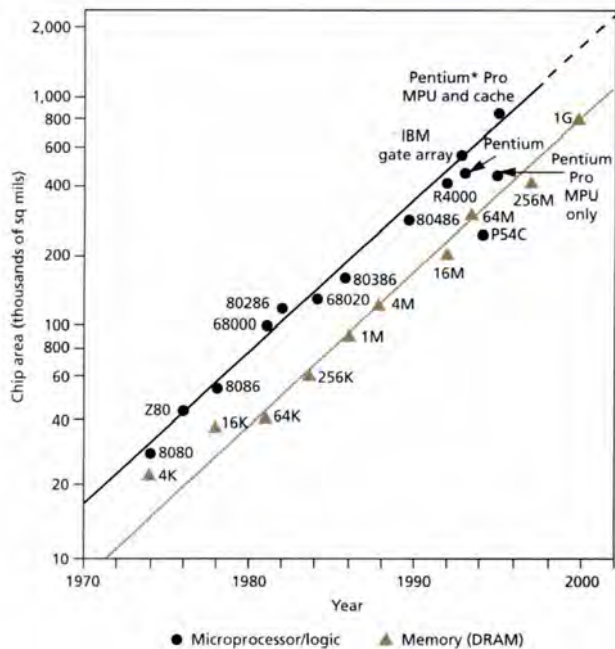


Figura 8: Increment de la grandària del xip entre el 1970 i el 2000

porta disminueix en un factor  $\alpha$ , etc. Per tant, el nombre de transistors escalats en un xip (complexitat) serà  $\alpha^2$  més gran que el d'un xip de les mateixes dimensions amb transistors sense escalar i, a més, el xip amb transistors escalats serà  $\alpha$  més ràpid. L'escalatge augmenta la complexitat i la velocitat de processament del xip i, per tant, incrementa la seva potència lògica per partida doble.

Dels tres factors que hem esmentat, el que ha contribuït decisivament en l'augment de la complexitat dels xips ha estat la reducció de les dimensions dels transistors, almenys els darrers anys. La figura 9 mostra la miniaturització que han sofert els transistors dels xips dels microprocessadors els últims quaranta anys. En microelectrònica, el conjunt de processos necessaris per fabricar un xip a partir d'una oblea de silici s'anomena *tecnologia*, seguit opcionalment de les sigles del tipus de transistors que conté el xip (per exemple: tecnologia bipolar, tecnologia NMOS, tecnologia CMOS, etc.) i també opcionalment per la dimensió (en micròmetres o nanòmetres) del motiu més petit que conté un transistor (inicialment la longitud fotolitogràfica de la porta o més modernament la semiseparació de dues línies d'interconnexió). Així podem parlar, per exemple, de tecnologia CMOS de  $2\ \mu\text{m}$  o tecnologia de 130 nm.

L'any 1965, Gordon Moore (Moore, 1965), un dels fundadors d'Intel, va fer una predicció sobre l'evolució de la complexitat dels xips, o sigui, del nombre de transistors que podia contenir un xip, que ha esdevingut famosa amb el nom de *Llei de Moore* (figura 10). Aquest augment de la complexitat, lligat fonamentalment a la disminució

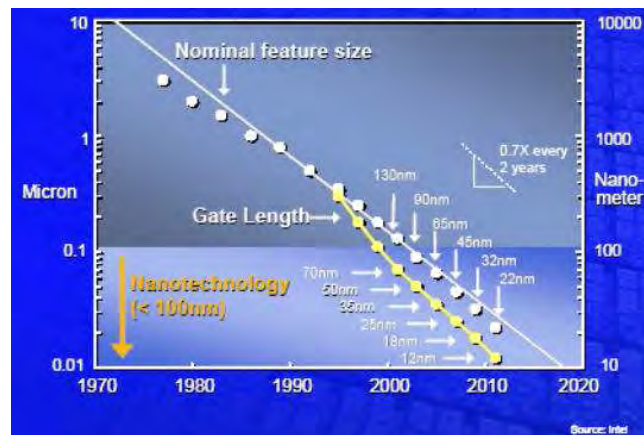


Figura 9: Miniaturització dels transistors en els darrers quaranta anys (cortesia d'Intel)

de la grandària dels transistors, ha estat condicionat per molts factors, com ara la utilització de nous materials i processos tecnològics, la simulació més acurada dels dispositius, la millora de les sales blanques, etc. Però el factor més decisiu per poder miniaturitzar els transistors, primerament a dimensions submicromètriques i, posteriorment, a dimensions nanomètriques, ha estat el progressiu perfeccionament de la fotolitografia.

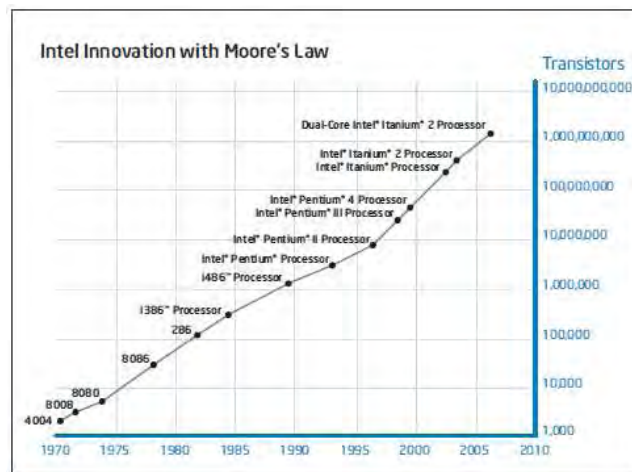


Figura 10: Llei de Moore per als xips dels microprocessadors fabricats per Intel

## 2 La dècada dels anys vuitanta

En el decurs de la dècada dels anys setanta va començar la cursa per la miniaturització dels transistors encapçalada per la demanda creixent en l'augment de la complexitat dels xips dels microprocessadors i de les memòries. Això va ser possible gràcies, entre altres factors, a l'adopció del procés CVD (*chemical vapor deposition*), que va permetre la deposició de capes de polisilici com a material de porta, que els transistors fossin autoalineats i va afegir



una nova via d'interconnexió; gràcies a la utilització de la implantació iònica que va fer possible el control de la tensió llindar dels transistors i que permeten el pas de la tecnologia PMOS a la NMOS, més ràpida; i gràcies a la substitució de la fotolitografia de proximitat per la de projecció, etc. Com a xips significatius de principis dels anys vuitanta es poden esmentar el xip de 33 mm<sup>2</sup> amb 29.000 transistors del microprocessador d'Intel 8086 (figura 11) de 16 bits i una DRAM de 64 kb amb cel·les d'un sol transistor, fabricats tots ells amb una tecnologia NMOS de 3 μm i una complexitat de 8-10 màscares. Un producte destacat d'aquesta dècada, fabricat amb aquests tipus de xips és l'ordinador personal l'IBM-PC compatible basat en el microprocessador d'Intel 8088. Cap a la meitat de la dècada dels vuitanta, els fabricants van començar a violar les regles de la teoria de l'escalatge en disminuir les dimensions dels transistors sense abaixar la tensió d'alimentació de 5 V dels xips, que havia esdevingut un estàndard industrial. Aquest fet va comportar un augment excessiu de la seva dissipació tèrmica interna que en disminuïa a nivells perillosos la fiabilitat.

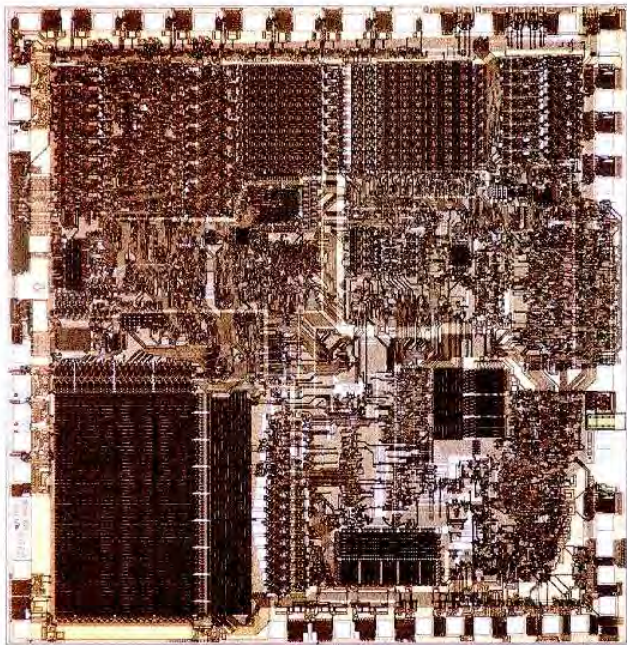


Figura 11: Xip del microprocessador Intel 8086

La solució que es va adoptar va ser substituir la tecnologia NMOS per la CMOS, que consumia menys energia. La tecnologia CMOS (*complementary metal-oxide-semiconductor*) mescla en un mateix xip transistors MOS tant de canal N com de canal P (figura 12). Va ser inventada per F. M. Wanlass i C. T. Sah l'any 1963 (Wanlass i Sah, 1963) i va utilitzar-se inicialment per a la fabricació de rellotges digitals a causa, precisament, del seu baix consum energètic.

El manteniment de la tensió d'alimentació per damunt

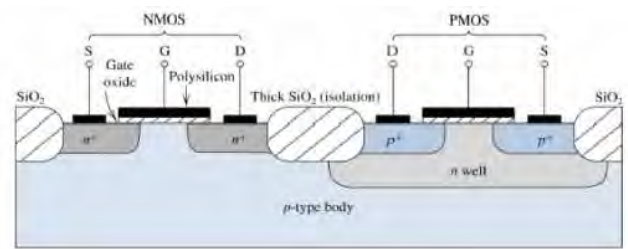


Figura 12: Secció d'un xip CMOS on es pot veure la integració en un substrat tipus P d'un transistor canal N i un altre canal P gràcies a l'ús del pou N pel transistor canal P

del valor dictat per la teoria de l'escalatge va provocar, a més de l'augment de la dissipació tèrmica, un increment del camp elèctric en diversos punts de l'interior dels dispositius, especialment a la superfície del drenador sota l'òxid de porta, on hi van aparèixer electrons calents (electrons amb una energia mitjana superior a la de la xarxa cristal·lina  $kT$ ) que provocaven la degradació de l'òxid de porta. Per solucionar aquest problema es va haver de fer un disseny més complex de les concentracions d'impureses del drenador (enginyeria de drenador) com per exemple els anomenats *drenadors LDD* (*light doping drain*).

### 3 La dècada dels anys noranta

Quan van ser possibles tecnologies submicromètriques, a principis dels anys noranta, gràcies als avenços en els processos de fabricació dels xips CMOS, es va fer imprescindible baixar la tensió d'alimentació (figura 13) i, com a conseqüència, les tensions llindar dels transistors, cosa que va provocar l'augment del corrent paràsit entre el drenador i la font del transistor en estat tallat (*off*), anomenat *corrent subllindar*. Aquest corrent, que idealment hauria de ser zero, té dos components. El primer component és el corrent subllindar de canal, que té unes arrels físiques profundes i és difícilment evitable. El segon component és causat per una disminució de la barrera de potencial entre les zones laterals de càrrega d'espai del drenador i la font del transistor. Se'n pot disminuir el valor mitjançant implantacions iòniques d'impureses adequades. Les tecnologies submicromètriques d'aquests anys van posar de manifest, a més dels fenòmens ja esmentats, altres efectes que es devien a la longitud cada vegada més curta del canal dels transistors i es van agrupar genèricament amb el nom d'*efectes de canal curt*. Una enginyeria acurada dels dispositius juntament amb la incorporació de nous materials i processos tecnològics —doble pou, aïllament de dispositius per trinxeres, incorporació de silicurs ( $\text{CoSi}_2$ ,  $\text{TiSi}_2$ , etc.)— per millorar la resistència dels contactes i de les interconnexions, etc., van fer possible que es pogués mantenir el ritme de disminució de dimensions, seguint la llei de Moore. Al final dels anys noranta i prin-

cipis del 2000, Intel estava treballant amb una tecnologia de 130  $\mu\text{m}$  (Thompson et al., 2002a) (figura 14) que tenia els trets següents: longitud efectiva del canal de 70 nm (figura 15), gruix de l'òxid de porta d'1,5 nm, tensió d'alimentació d'1,3 V i retard de porta de 7 ps. Un producte estrella fabricat amb aquesta tecnologia fou el microprocessador Pentium III, que contenia 42 milions de transistors (figura 16).

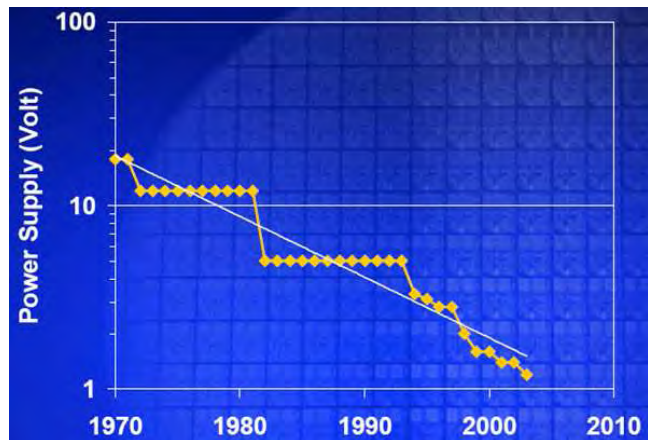


Figura 13: Evolució de la tensió d'alimentació dels xips (cortesia d'Intel)

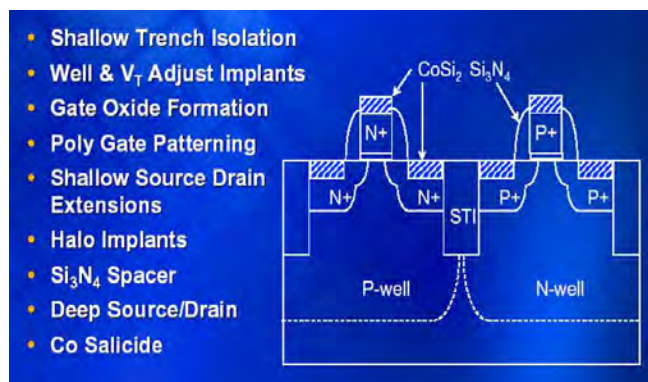


Figura 14: Esquema de la secció d'un transistor de la tecnologia CMOS de 130 nm (cortesia d'Intel)

#### 4 Segle XXI: nanoelectrònica

La introducció de les tecnologies submicromètriques al tombant del nou segle va posar de manifest la importància creixent de les interconnexions internes entre els transistors del xip. Per aprofitar al màxim l'augment del nombre de transistors va ser imprescindible anar incrementant el nombre de nivells d'interconnexió. Per exemple, la tecnologia CMOS de 130  $\mu\text{m}$  tenia sis nivells d'interconnexió (figura 17), on les pistes de metall estaven aïllades entre elles per capes d'òxid de silici. La reducció de dimensions que aquestes tecnologies exigien afavoria l'increment de

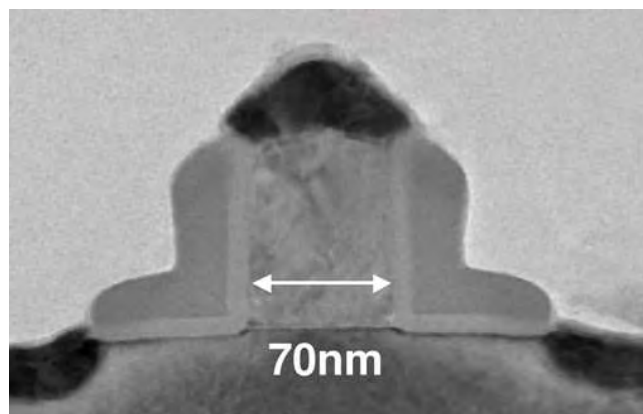


Figura 15: Fotografia de la secció d'un transistor de la tecnologia CMOS de 130 nm on es pot veure la regió del canal del transistor amb una longitud de 70 nm (cortesia d'Intel)

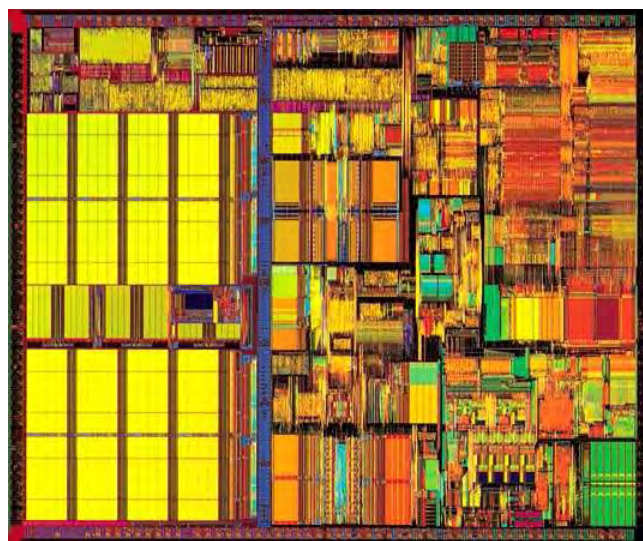


Figura 16: Fotografia del xip del microprocessador Pentium III que conté 42 milions de transistors (cortesia d'Intel)

velocitat dels transistors però, en canvi, augmentava la resistència i la capacitat entre les pistes de les interconnexions. Aquest fet va provocar que la velocitat global de resposta del xip la marqués la constant de temps RC de les interconnexions i no la velocitat intrínseca dels transistors. Per millorar la resistència de les pistes d'interconnexió, investigadors d'IBM van posar a punt el procés «damascene», que va permetre substituir l'alumini pel coure (figura 18). Esquemàticament aquest procés consisteix en l'obertura de canals en l'òxid, a sota on ha de passar la pista d'interconnexió, i, després de la deposició dels metalls barrera i del coure fins que sobreixi del canal, s'elimina el sobrant per mitjà del CMP (*chemical-mechanical polishing*). La utilització de coure i una relació d'aspecte alta per les pistes d'interconnexió, juntament amb l'ús



d'un aïllant de baixa constant dielèctrica ( $\text{SiO}_2$  dopat amb fluorina o carboni), va fer possible un 40 % de reducció en el retard produït per les interconnexions.

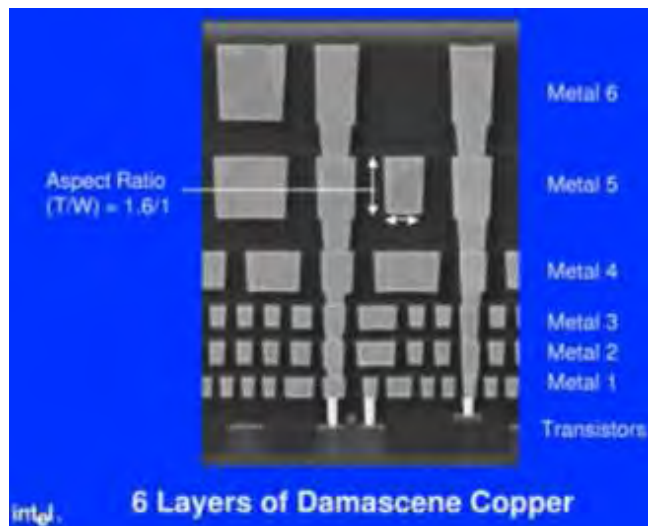


Figura 17: Fotografia de la secció d'un xip amb les pistes d'interconnexió de coure (cortesia d'Intel)

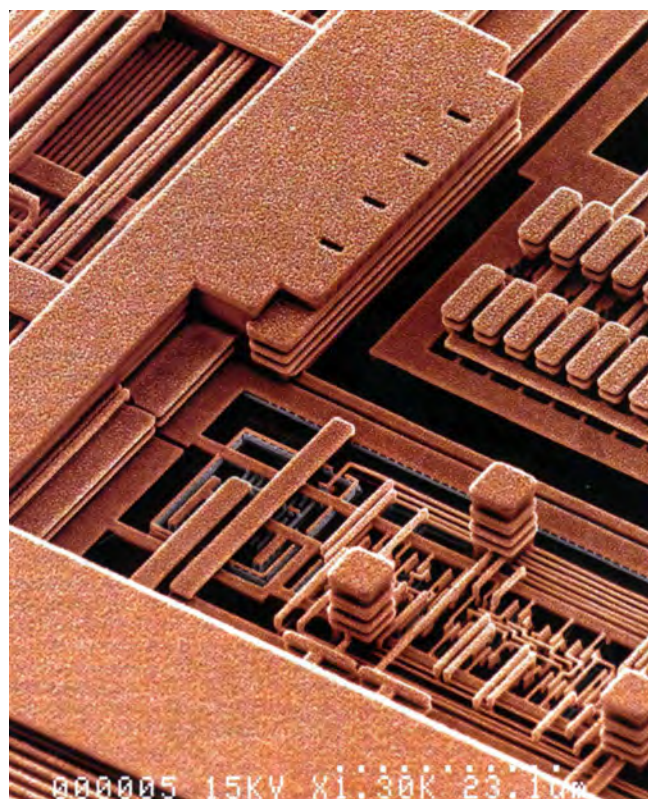


Figura 18: Fotografia de les pistes d'interconnexió de coure (cortesia d'IBM)

Entre els anys 2003 i 2006 es van introduir les primeres tecnologies nanomètriques ( $< 100 \text{ nm}$ ), la CMOS de 90 nm i 65 nm, seguint el ritme de disminució que preveia

la llei de Moore. Seguint les lleis de l'escalatge, el gruix de l'òxid de porta va arribar a 1,2 nm, o sigui, només 5 capes atòmiques de  $\text{SiO}_2$  (figura 19). Això va comportar un increment desmesurat del corrent paràsit (figura 20), causat pel pas d'electrons a través de l'aïllant de porta per efecte túnel. La dissipació d'aquest corrent per efecte Joule va fer arribar el xip als límits tèrmics compatibles amb la seva fiabilitat (figura 21). Com que la magnitud d'aquest corrent depèn exponencialment de l'amplada de la barrera de potencial, no semblava possible disminuir més el gruix de l'òxid de porta.

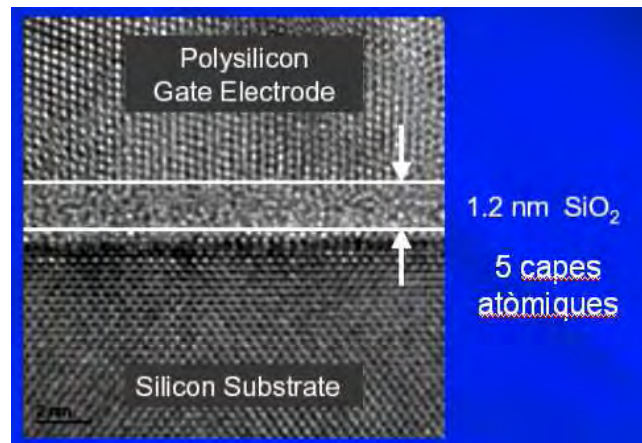


Figura 19: Foto TEM de la secció de l'òxid de porta (cortesia d'Intel)

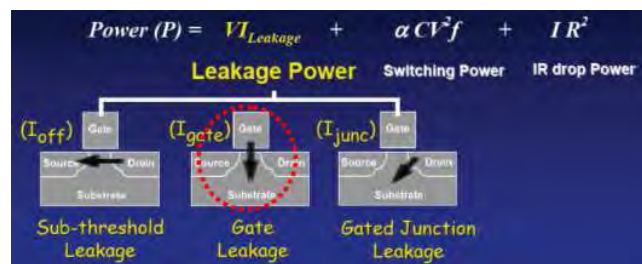


Figura 20: Corrents paràsits i potència dissipada en un transistor CMOS (cortesia d'Intel)

En passar de la tecnologia de 90 nm a la de 65 nm es van mantenir els 1,2 nm per al gruix de l'òxid de porta. Per superar la degradació de les característiques dels transistors respecte a les previsions de l'escalat quan es mantenia aquest límit inferior es van establir dues solucions. La primera va ser augmentar la mobilitat dels portadors (electrons i forats) dels transistors canal N i P respectivament i, com a conseqüència, incrementar-ne la rapidesa de commutació sense augmentar els corrents paràsits. Aquest augment de mobilitat es va aconseguir utilitzant, en la regió del canal, silici tensat (figura 22) obtingut dipositant silici sobre una xarxa cristal·lina de Si-Ge amb una estequiometria adequada. El guany en el corrent de

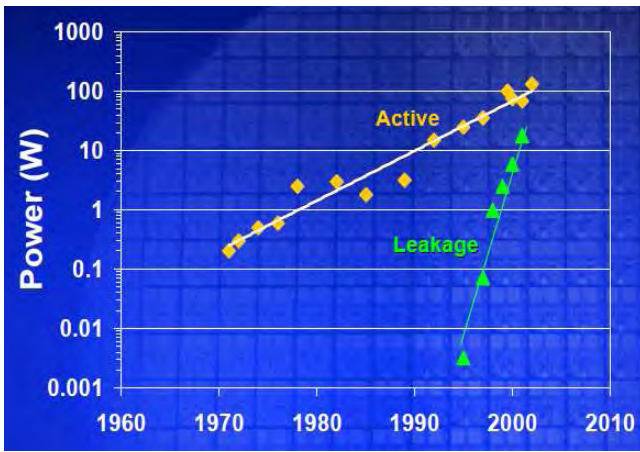


Figura 21: Evolució de la potència activa i paràsit dels xips CMOS (cortesia d'Intel)

saturació dels transistors va ser entre un 10 % i un 20 % i l'increment en el cost de producció va ser només del 2%.

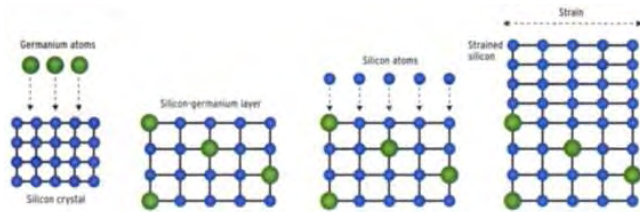


Figura 22: Esquema per a l'obtenció d'una capa de silici tensionat

Els principals trets de la tecnologia de 90 nm (Thompson et al, 2002b) van ser: longitud de canal de 50 nm (figura 23), gruix de l'òxid de porta d'1,2 nm, utilització de silici tensionat i 7 capes d'interconnexió de coure amb dielèctric de baixa permeabilitat ( $\text{SiO}_2$  dopat amb carboni). Una cel·la RAM ocupava  $1 \mu\text{m}^2$  i en la producció es van començar a utilitzar oblies de 300 mm de diàmetre.

La segona millora, recollida a la tecnologia de 45 nm introduïda el 2007, va ser la utilització d'un nou dielèctric per a l'aïllant de porta amb una constant dielèctrica més gran que la del  $\text{SiO}_2$  (figura 24). Així, per mantenir el mateix control de la tensió de porta sobre el canal, el gruix de l'aïllant podia ser més gran, amb la qual cosa disminuïa exponencialment el corrent paràsit per efecte túnel. Després de moltes proves, fonamentalment relacionades amb la compatibilitat tecnològica, Intel va utilitzar òxid d'hafni i a la vegada va substituir el polisilici de la porta per una combinació de metalls amb una adequada funció de treball per obtenir les tensions llindar idònies dels transistors N i P. Amb una reducció  $\times 0,7$  del gruix del dielèctric es va obtenir una reducció del corrent paràsit  $\times 1.000$  en els transistors PMOS (figura 25) i  $\times 25$  en els transistors NMOS (figura 26) respecte als transistors de la tecnologia de 65 nm. En aquesta tecnologia també es va millorar

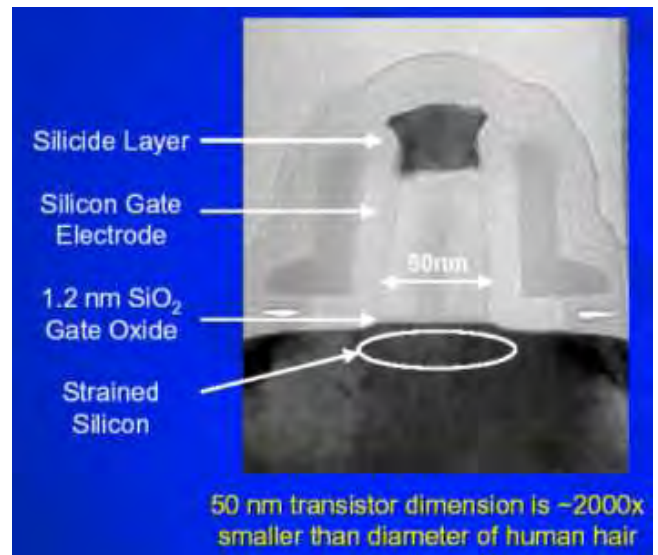


Figura 23: Imatge TEM d'un transistor de la tecnologia de 90 nm (cortesia d'Intel)

el procés de tensament del silici i es va obtenir un valor del corrent de saturació dels transistors P ( $1,07 \text{ mA}/\mu\text{m}$ ) molt a prop del dels transistors N ( $1,36 \text{ mA}/\mu\text{m}$ ). El retard de porta se situa a 5,1 ps per a un corrent de tall  $I_{off} = 100 \text{ nA}/\mu\text{m}$  i una tensió d'alimentació d'1,1 V (K. Mistry et al., 2007).

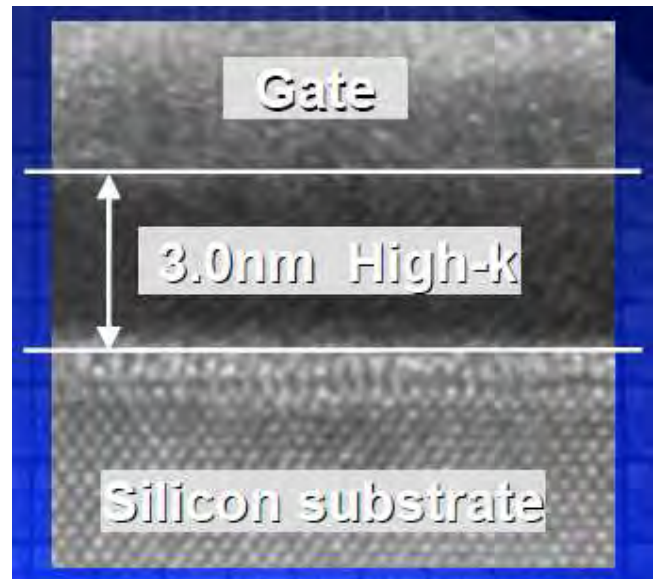


Figura 24: Fotografia TEM de la secció del dielèctric de porta d'un transistor de la tecnologia de 45 nm (cortesia d'Intel)

Actualment, la tecnologia CMOS de 45 nm s'està utilitzant en la fabricació en massa dels productes microelectrònics més avançats (figura 27), encara que des de l'any 2009 s'està introduint, a Intel, la tecnologia CMOS



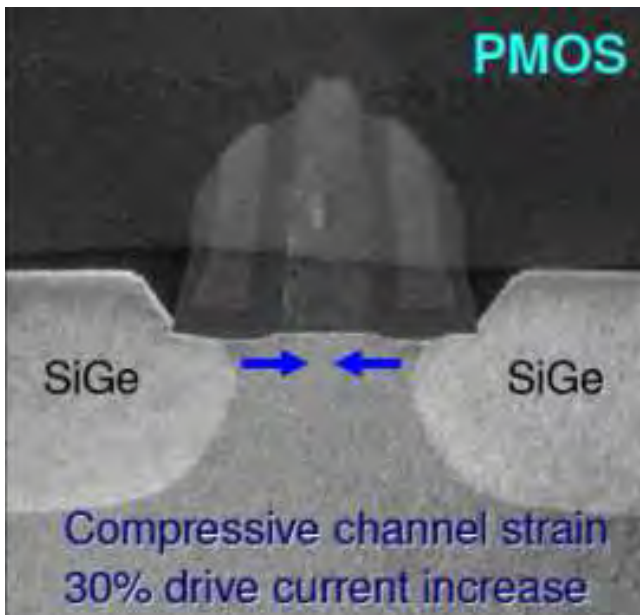


Figura 25: Fotografia TEM de la secció d'un transistor PMOS de la tecnologia de 45 nm (cortesia d'Intel)

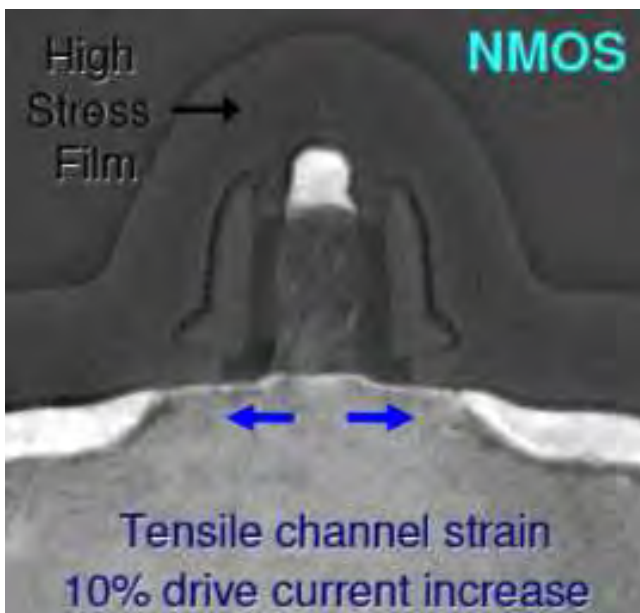


Figura 26: Fotografia TEM de la secció d'un transistor NMOS de la tecnologia de 45 nm (cortesia d'Intel)

de 32 nm com la futura tecnologia que a curt termini substitueixi la de 45 nm. Els transistors de la tecnologia de 32 nm presenten la segona generació de l'enginyeria de porta amb aïllant d'alta constant dielèctrica (*high-k*) i metall com a material de porta. Per primera vegada s'utilitza en producció la litografia per immersió en les capes més crítiques (figures 28 i 29).

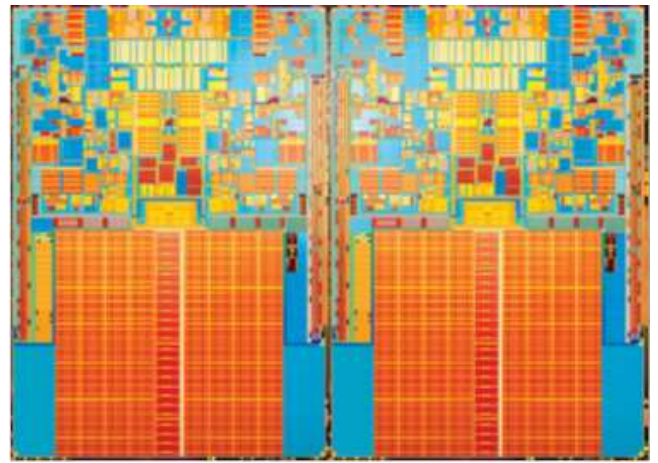


Figura 27: Fotografia del microprocessador Penryn quad-core fabricat en tecnologia de 45 nm. Conté 820 milions de transistors (cortesia d'Intel)

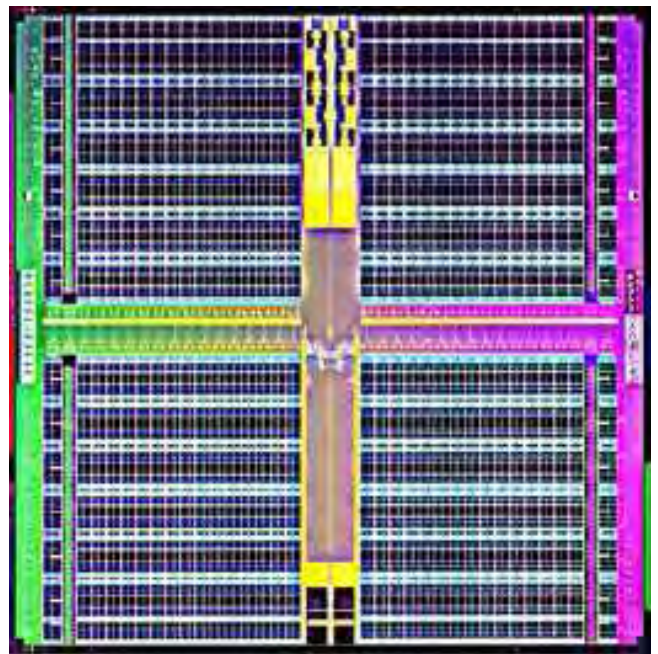


Figura 28: Fotografia de la memòria SRAM de 291 Mbits i 3.8 GHz fabricada en tecnologia de 32 nm (superfície  $0,171 \mu\text{m}^2$ , nombre de transistors > 1.900 milions) (cortesia d'Intel)

## 5 Més Moore i més que Moore

Fins aquí hem exposat molt breument l'evolució de la microelectrònica durant els darrers vint anys en el vessant més físic i tecnològic. Però què ens ofereix el futur? La llei de Moore és una predicció de tipus exponencial respecte a l'evolució del nombre de transistors que pot encabir un xip i, per tant, ha de tenir un límit. Abunda una recerca molt important que intenta que aquest límit sigui al més lluny possible. Aquest tipus de recerca s'anomena

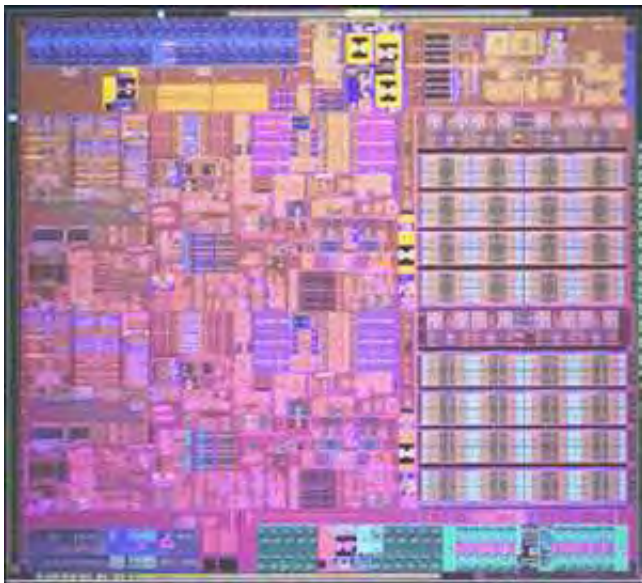


Figura 29: Fotografia del microprocessador Westmere, fabricat amb tecnologia de 32 nm (cortesia d'Intel).

*More Moore* (Més Moore). Però també hi ha un tipus de recerca molt més interdisciplinària que aprofita la maduresa dels materials i els processos tecnològics que utilitza la microelectrònica (silici, fotolitografia, etc.) i, a base d'incorporar-ne de nous, estén la funcionalitat dels xips més enllà de l'electrònica cap a camps de la física, de la biologia, de la química, de la medicina, etc. Aquest tipus de recerca s'anomena *More than Moore* (Més que Moore) (figura 30). Un exemple inicial va ser quan, entre els anys vuitanta i noranta, es van començar a fabricar els anomenats microsistemes (MEMS, *micro electromechanical systems* a EUA). Es van incorporar als processos microelectrònics tradicionals, la micromecanització del silici en volum i superfície, la soldadura anòdica, etc. i així es van poder fabricar nous dispositius mecànics (membranes, palanques, motors electrostàtics, etc.) a dintre del xip, en coexistència amb els dispositius electrònics tradicionals (transistors, condensadors, etc.). La funcionalitat d'aquests xips es van estendre a moltes disciplines diferents de l'electrònica i tenen aplicacions a camps on anteriorment l'electrònica hi tenia una presència molt reduïda. Un exemple paradigmàtic és el xip que detecta una forta desacceleració i actua sobre els coixins de seguretat dels automòbils (figura 31). En el camp de la biologia es poden trobar els bioxips, que són petits laboratoris bioquímics que duen a terme centenars o milers de reaccions bioquímiques simultàniament i s'utilitzen en la indústria biotecnològica i en la recerca (genòmica, proteòmica, farmacèutica, etc.) (figura 32).

En la línia de *More Moore*, la pregunta fonamental és: on és el límit de la miniaturització dels xips fabricables? Sembla que al límit de la tecnologia CMOS tradicional,

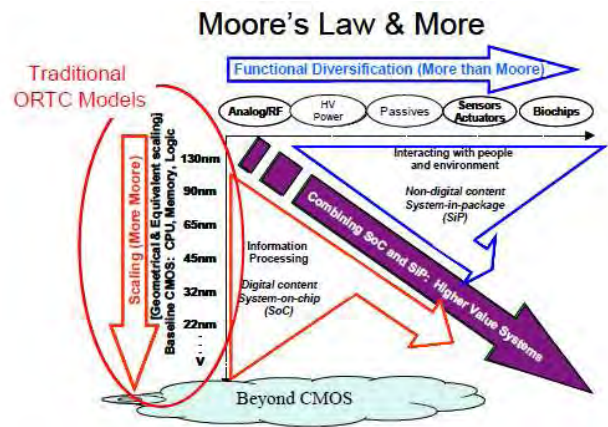


Figura 30: Futur de la microelectrònica en les línies *More Moore* i *More than Moore* [19]

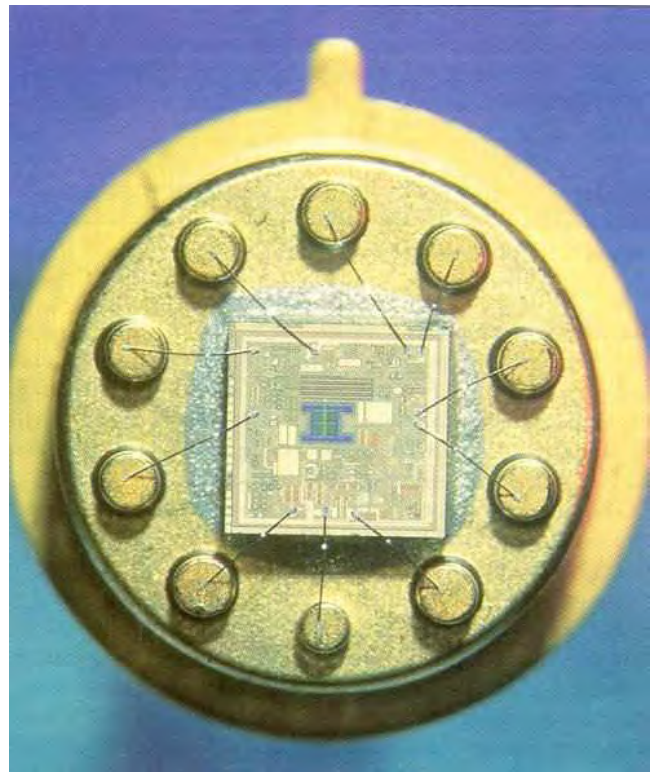


Figura 31: Xip de control dels coixins de seguretat d'un automòbil. En la part central del xip es pot observar el sensor de desacceleració (cortesia d'Analog Devices)

hereva de la tecnologia planar, s'hi podrà arribar cap a l'any 2015, amb la tecnologia de 15 nm. Actualment, l'empresa Intel ja ha fabricat amb èxit un xip de prova amb tecnologia de 22 nm. És una memòria SRAM de 364 Mbits, que conté 2.900 milions de transistors i una cel·la ocupa una superfície de  $0,092 \mu\text{m}^2$  (figura 33). A partir del 2015, probablement entrin en joc tecnologies substituïdes del CMOS tradicional (anomenat *planar bulk*



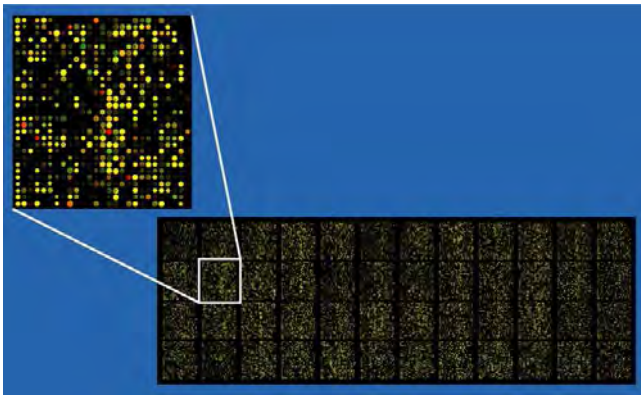


Figura 32: *Bioxip d'ADN (DNA microarray)*

CMOS) com són architectures noves (*SOI fully depleted, multi-gate CMOS, etc.*) o amb nous nanoelements (transistors amb nanotubs de carboni, dispositius amb nanofils de silici, dispositius de pous quàntics amb materials III-V, etc.) (figura 34). El que sí que sembla segur és que ni investigadors ni fabricants estan disposats que pari la miniaturització dels xips.

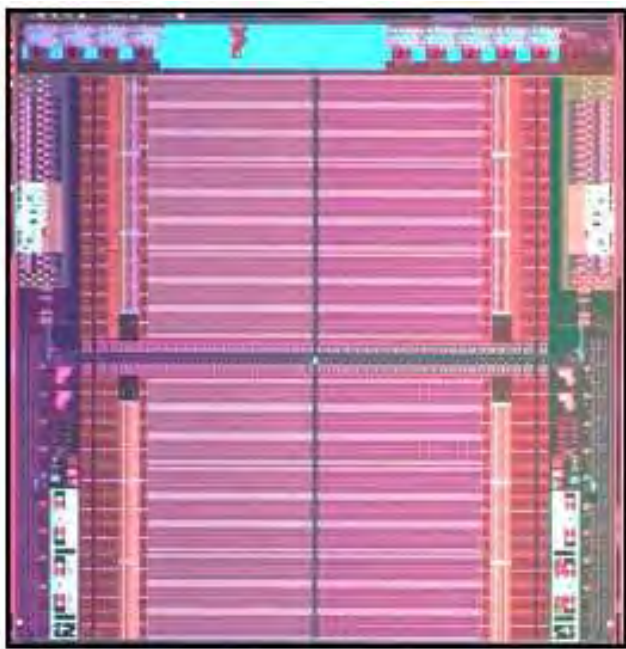


Figura 33: *Memòria SRAM amb tecnologia CMOS de 22 nm (cortesia d'Intel)*

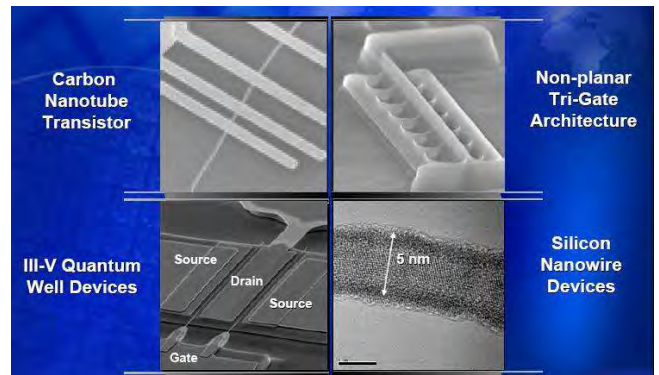


Figura 34: *Exemple de possibles dispositius futurs (cortesia d'Intel)*

## Bibliografia

ARNS, R.G. "The other transistor: Early history of the metal-oxide semiconductor field-effect transistor". *Engineering Science and Education Journal*. Vol. 7 (5), 1998, p. 233-240.

BARDEEN, J.; BRATTAIN, W. H. "The Transistor, A Semiconductor Triode". *Proceedings of the IEEE*. Vol. 86 (1), 1998, p. 29-30.

BERLIN, L. *The man behind the microchip: Robert Noyce and the invention of Silicon Valley*. Oxford University Press, 2006.

DENNARD, R. H. [et al.] "Design of ion-implanted MOSFET's with very small physical dimensions". *IEEE Journal of Solid-State Circuits*. Vol. 9 (1974), núm 5, p. 256 – 268.

DENNARD, R.H. "Evolution of the MOSFET Dynamic RAM – A personal View". *IEEE Transactions on Electron Devices*. Vol. 31 (1984), núm. 11, p. 1549-1555.

HERMS, A. *Microelectrònica. Trobades Científiques de la Mediterrània*. Comissió Interdepartamental de Recerca i Innovació Tecnològica, 1991. [Col·lecció Actes, 12]

MILLIS, E. *Jack St. Clair Kilby: A Man of Few Words*. Ed Millis Books, 2008.

MISTRY K. [et al.], "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging", *IEEE International Electron Devices Meeting. IEDM Tech. Dig.* (2007, December), p. 417-420.

MOORE, G. E. "Cramming More Components onto Integrated Circuits". *Electronics*. Vol. 38 (8), 1965, p. 114-117.

MOORE, G. E. "The role of Fairchild in silicon technology in the early days of "Silicon Valley". *Proceedings of the IEEE*. Vol. 86 (1), 1998, p. 53-62.

NOYCE, R. N.; HOFF, M. E. "A History of Microprocessor Development at Intel". *IEEE Micro*. Vol. 1 (1981), núm 1, p. 8-21.

REID, T. R. *The Chip*. Random House, 2001.

ROSS, I. M. "The invention of the transistor". *Proceedings of the IEEE*. Vol. 86 (1), 1998, p. 7-28.

THOMPSON, S. [et al.] "130nm Logic Technology Featuring 60nm Transistors, Low-k Dielectrics and Cu Interconnects". *Intel Technology Journal*. Vol. vol. 06, no. 02 (2002), pp.5-13.

THOMPSON, S. [et al.], "A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 Layers of Cu Interconnects, Low k ILD, and 1  $\mu\text{m}^2$  SRAM Cell", *International Electron Devices Meeting, IEDM'02 Digest*. (2002), p. 61-64.

WANLASS, F. M.; SAH, C.T, "Nanowatt Logic Using Field-Effect Metal-Oxide Semiconductor Triodes", *International Solid State Circuits Conference, Digest of Technical Papers*. (1963, February 20), p. 32-33.

WIKIPEDIA, *Intel Corporation* [En línia] <[http://en.wikipedia.org/wiki/Intel\\_Corporation#Corporate\\_history](http://en.wikipedia.org/wiki/Intel_Corporation#Corporate_history)> [Consulta: 26 d'abril de 2010]